

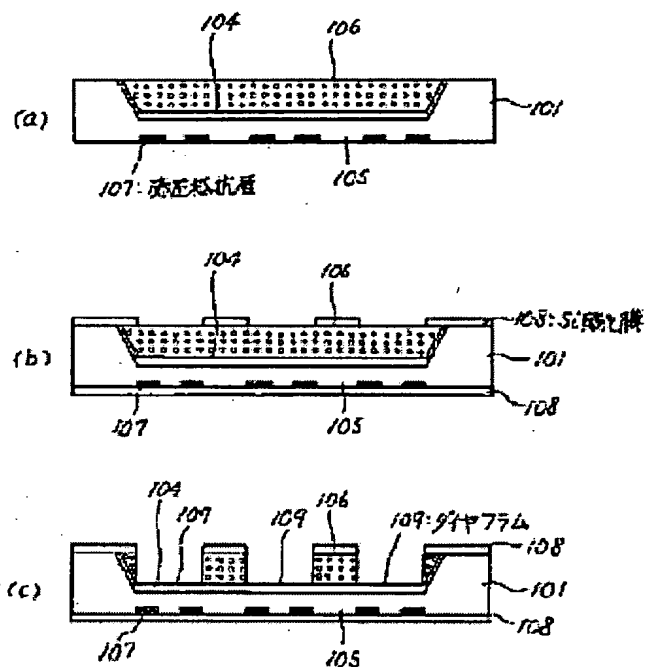
MANUFACTURE OF SEMICONDUCTOR PRESSURE SENSOR

Patent number: JP6151891
 Publication date: 1994-05-31
 Inventor: TAKANO OSAMU; others: 01
 Applicant: OKI ELECTRIC IND CO LTD
 Classification:
 - International: H01L29/84; H01L21/306
 - European:
 Application number: JP19920145853 19920605
 Priority number(s):

Abstract of JP6151891

PURPOSE: To readily form a plurality of compact diaphragms on as chip.

CONSTITUTION: In a manufacturing method a semiconductor pressure sensor with a plurality of diaphragms, after a thin part 105 is formed by anisotropically etching a silicon semiconductor substrate 101, a process for filling an etching part with polycrystalline silicon 108, a process for polishing the polycrystalline silicon 108 as far as the original semiconductor substrate surface, a process for performing photolithography for a diaphragm by using a silicon oxide film 104 provided on a boundary line between the polycrystalline silicon 108 and the silicon semiconductor substrate 101 and a process for forming a diaphragm 109 by anisotropic dry etching are carried out.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 1 5 1 8 9 1

(43) 公開日 平成6年(1994)5月31日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/84	B	9278-4 M	
	21/306	B	9278-4 M	
// H 0 1 L	21/304	3 2 1 S	8831-4 M	

審査請求 未請求 請求項の数 2

(全 7 頁)

(21) 出願番号 特願平4-145853
(22) 出願日 平成4年(1992)6月5日

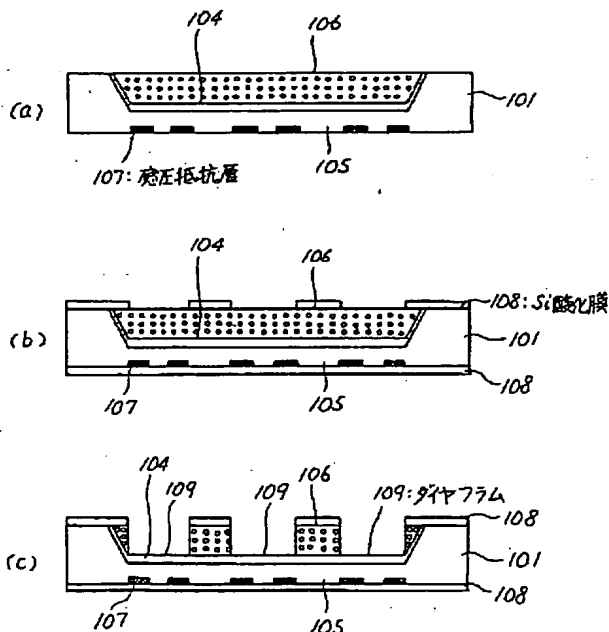
(71) 出願人 000000295
沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号
(72) 発明者 高野 修
東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
(72) 発明者 木村 偉作夫
東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
(74) 代理人 弁理士 清水 守 (外2名)

(54) 【発明の名称】 半導体圧力センサの製造方法

(57) 【要約】

【目的】 一つのチップ上に容易に小型で複数のダイアフラムを用意に形成する。

【構成】 複数のダイアフラムを有する半導体圧力センサの製造方法において、シリコン半導体基板 101 を異方性エッチングにより薄肉部 105 を形成した後に、前記エッチング部を多結晶シリコン 108 で埋める工程と、前記多結晶シリコン 108 を元の半導体基板面まで研磨する工程と、多結晶シリコン 108 とシリコン半導体基板 101 の境界線上に設けたシリコン酸化膜 104 を利用してダイアフラムのホトリソを行う工程と、異方性ドライエッチングでダイアフラム 109 を形成する工程とを施す。



【特許請求の範囲】

【請求項1】 複数のダイアフラムを有する半導体圧力センサの製造方法において、(a) 半導体基板を異方性エッチングにより薄肉部を形成した後に前記エッチング部を多結晶半導体で埋める工程と、(b) 前記多結晶半導体を元の半導体基板面まで研磨する工程と、(c) 多結晶基板と多結晶部の境界線上に設けた半導体酸化膜を利用してダイアフラムのホトリソを行う工程と、(d) 異方性ドライエッチングでダイアフラムを形成する工程とを施すことを特徴とする半導体圧力センサの製造方法。

【請求項2】 複数のダイアフラムを有する半導体圧力センサの製造方法において、(a) 半導体基板を異方性エッチングにより薄肉部を形成した後に前記エッチング部を所定数の半導体酸化層が形成された多結晶半導体で埋める工程と、(b) 前記多結晶半導体を元の半導体基板面まで研磨する工程と、(c) 多結晶基板と多結晶部の境界線上に設けた半導体酸化膜を利用してダイアフラムのホトリソを行う工程と、(d) 選択ウエットエッチングを用いて多結晶半導体をエッチングする工程と、(e) エッチングによって露出したサイド部分の多結晶半導体を酸化し、半導体酸化膜を形成する工程と、

(f) ドライエッチングにてダイアフラム形成上の半導体酸化膜に開口部を形成する工程と、(g) 最後の多結晶半導体層のみ異方性ドライエッチングで形成する工程とを施すことを特徴とする半導体圧力センサの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一つのチップ内に複数のダイアフラムを有する半導体圧力センサの製造方法に関するものである。

【0002】

【従来の技術】 従来、このような分野の技術としては、例えば、(1) 特開平2-224277号公報、(2) 「TECHNICAL DIGEST OF THE 10TH SENSOR SYMPOSIUM 1991. pp37~40 Fabrication of Microdiaphragm Utilizing Micromachining」に記載されるようなものがあった。

【0003】 半導体基板に薄肉ダイアフラムを形成し、前記ダイアフラム上に半導体のピエゾ抵抗効果を利用した感圧抵抗を設けた半導体圧力センサにおいて、近年、同じ基板上に電子回路を搭載した集積化半導体圧力センサが主流になりつつある。それに伴い、電子回路に要求される機能が高まってきて電子回路が複雑になり、チップに占める電子回路の面積が増大することから、電子回路をほとんど形成できないダイアフラムの小型化が求められている。

【0004】 更に、高機能にするために同一チップ上に複数の小型ダイアフラムを形成し、複数の圧力の電気信号を、同一チップ上で処理しようとする半導体圧力センサも発表されている〔上記文献(2) 参照〕。図6及び図7は上記特開平2-224277号公報に記載された、従来のダイアフラムを有する半導体圧力センサの製造工程断面図である。

【0005】 まず、図6(a)に示すように、(100)面を持つ平滑なP型シリコン半導体基板401を用意する。次いで、図6(b)に示すように、(100)面を持つ平滑なP型又はN型シリコン半導体基板402を用意し、1000℃のウェット酸化により、0.1~2μmの厚さの酸化膜(SiO₂)403を形成する。

【0006】 次に、図6(c)に示すように、10~20Ωcmの比抵抗(100)面を持つP型又はN型のシリコン半導体基板402をウエハ直接接合により(例えば、窒素または酸素雰囲気中、1100℃で1時間)P型シリコン半導体基板401へ接合する。次に、ラッピングによりP型シリコン半導体基板401を研磨した後、ミラーポリッシュ面仕上げを行い、0.1~10μmの厚さにする。引き続き、N⁺埋め込み層404をイオン注入により形成する。

【0007】 次に、図6(d)に示すように、P型シリコン半導体基板401上に0.1~10μmのSiO₂膜405を所定の領域に形成し、このSiO₂膜405をマスクとしてKOH溶液によりテーパ状のエッチングを行い、溝部406を形成する。この時、KOHによるエッチングはSiO₂膜403で停止する。次に、図6(e)に示すように、熱酸化を行い、P型シリコン半導体基板401の外周面部に、膜厚0.1~10μmのSiO₂膜407を形成し、引き続き多結晶Si408を全面堆積する。

【0008】 次に、図7(a)に示すように、多結晶Si408を研磨して表面が平坦になるまで除去する。続いて、通常のSiゲートによるCMOS工程により、回路部409を形成する。一方、圧力センサの感知部となる領域には、多結晶Si408上に膜厚0.1~10μmの窒化シリコン膜410を形成し、更に、この窒化シリコン膜410の所定の領域に、膜厚100~4000Åの多結晶Siを形成し、所定の不純物濃度でピエゾ抵抗層411を形成する。

【0009】 次に、図7(b)に示すように、N型シリコン半導体基板402の裏面の所定領域にプラズマナイトライド膜413を形成し、KOH溶液によるエッチングを行う。この時、エッチングはSiO₂膜403で停止する。N型シリコン半導体基板402に対するKOH等の異方性エッチングは特定のパターン形状の場合、レーザーで穴明け後、KOH溶液等のアルカリエッチングを行うと垂直の孔414が形成される。

【0010】 次に、図7(c)に示すように、孔414

部の SiO_2 膜403をHF溶液等で除去し、引き続き、KOH溶液で多結晶 Si 408をエッチング除去する。多結晶 Si 408はこの場合、等方的にエッチングが進み、完全に除去される。また、 SiO_2 膜403、テーパー部の SiO_2 膜407及び窒化シリコン膜410で囲まれているので、他の領域へのエッチングは進行しない。

【0011】

【発明が解決しようとする課題】しかしながら、以上述べた半導体圧力センサの製造方法では小型で複数のダイアフラムを作った時に下記に挙げる問題点がある。

(1) 感圧抵抗が多結晶 Si からなるピエゾ抵抗層411で構成されているために、単結晶シリコンに比べて出力が小さい。

【0012】(2) ダイアフラムが窒化シリコン膜410であるために、単結晶シリコンに比べて圧力に対する出力の直線性が悪く、繰り返し応力によりクリープ(同じ応力による変形が大きくなっていく)が発生しやすいために出力の安定性に欠ける。

(3) ダイアフラム形成の前工程として、ウエハの裏面からKOH溶液の導入口兼圧力導入口を形成しているが、ウエハプロセスとしては特殊なレーザーによる穴明け加工工程を設けなければならない。

【0013】(4) レーザー加工面が非常に荒れてしまうために、長時間のアルカリエッチングで、更に加工面の凹凸が顕著になり、熱ストレス等の機械的応力に弱くなってしまう。

(5) ダイアフラムとその周縁部の基台の材質が異なるので、温度による熱応力が非常に大きい。

【0014】本発明は、上記問題点を除去するために、

(1) 一つのチップ上に複数のダイアフラムを半導体単結晶で形成する。

(2) 当然のことであるが、ダイアフラムを半導体単結晶で形成すれば、感圧抵抗も半導体単結晶で容易に設けることができる。

(3) 圧力導入口をレーザー加工で設けることなく、通常のウエハプロセスで簡単に形成することができる。

【0015】上記のように構成することにより、本考案は、一つのチップ上に容易に小型で複数のダイアフラムを有する半導体圧力センサの製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明は、上記目的を達成するために、複数のダイアフラムを有する半導体圧力センサの製造方法において、半導体基板を異方性エッチングにより薄肉部を形成した後に前記エッチング部を多結晶半導体で埋める工程と、前記多結晶半導体を元の半導体基板面まで研磨する工程と、多結晶基板と多結晶部の境界線上に設けた半導体酸化膜を利用してダイアフラムのホトリソを行う工程と、異方性ドライエッチングで

ダイアフラムを形成する工程とを施すようにしたものである。

【0017】

【作用】本発明によれば、上記したように、一つのチップ上に小型で複数のダイアフラムを形成した半導体圧力センサにおいて、予め半導体基板をエッチングしてダイアフラム部となる細長い薄肉部を設け、エッチングした部分を多結晶 Si で埋めてシリコン基板が現れるまで研磨し、ダイアフラムとダイアフラムの隔壁部を残して多結晶 Si を除去する。

【0018】したがって、一つのチップに小型で複数のシリコン単結晶ダイアフラムができるので、感度の高い感圧抵抗が形成できる。また、同様に、クリープ特性のない小型ダイアフラムが形成できる。

【0019】

【実施例】以下、本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明の第1の実施例を示す半導体圧力センサの製造工程断面図(その1)、図2は本発明の第1の実施例を示す半導体圧力センサの製造工程断面図(その2)、図3は図1の工程(b)の上面図、図4は図1の工程(d)の上面図、図5は図2の工程(c)の上面図である。

【0020】以下、これらの図を参照しながら説明する。

(1) まず、図1(a)に示すように、N又はP型のシリコン半導体基板101を用意し、その表面をエッチングし、ダイアフラムを形成するためのアルカリエッチングのマスクとなるシリコン酸化膜(SiO_2)102を形成する。ここで、前記マスクはシリコン酸化膜上にシリコン窒化膜(Si_3N_4)を形成したものでも良い。

【0021】(2) 次に、図1(b)に示すように、アルカリエッチングのマスク102を、形成するダイアフラム形状を考慮した所定の大きさにホトリソを行い、前記シリコン半導体基板101が目標とするダイアフラムの厚さになるまでアルカリエッチングを行った後に、シリコン酸化膜104を形成する。この時のダイアフラムとなる薄肉部105の大きさは、目標とするダイアフラムを設ける個数分横一列に並べたような細長いものとする。

【0022】チップ上面から見た図を図3に示す。図3において、103はアルカリエッチングによる空隙部である。図示できないが、シリコン基板には図1(b)に示すように薄いシリコン酸化膜が形成されている。

(3) 次に、図1(c)に示すように、空隙部103を多結晶シリコン106で埋める。

【0023】(4) 次に、図1(d)に示すように、両側のエッチングされなかった半導体基板101が露出するまで多結晶シリコン層106を形成した面を研磨する。

チップ上面から見た図を図4に示す。すなわち、アルカ

リエッチングした部分のみに、多結晶シリコン106が詰まった状態となり、この多結晶シリコン106とシリコン半導体基板101の間には、シリコン酸化膜104が研磨により露出する。

【0024】(5) 次に、図2(a)に示すように、シリコン酸化膜104が基板表面に露出した領域に合わせて、前記シリコン半導体基板101に不純物であるボロンを公知の技術で拡散し、感圧抵抗層となるP型領域107を形成する。この時、シリコン基板がP型である場合は、予め感圧抵抗層を設ける側にN型シリコンをエピタキシャル成長させておく。この場合、半導体基板に圧力センサだけでなく、トランジスタを形成するための埋め込み層などをエピタキシャル成長前に形成しておく。

【0025】(6) 次に、図2(b)に示すように、上面に公知のCVD技術により、CVDシリコン酸化膜108を設けた後、感圧抵抗107に合わせて個別のダイアフラムのホトリソを行い、所定の領域のシリコン酸化膜を除去する。

(7) 次に、図2(c)に示すように、前記ホトリソを行った面から、公知の異方性プラズマエッチングにより、多結晶シリコン層106をシリコン酸化膜104が露出するまでエッチングして、個別のダイアフラム109を形成する。

【0026】図5にシリコン酸化膜108を除いて上面から見た図を示す。すなわち、研磨によりシリコン基板101裏面に露出したシリコン酸化膜104に合わせて、ホトリソエッチングを行い、ダイアフラム109を形成する。その後、マスクとなったシリコン酸化膜108を除く。次に、図8は本発明の第2の実施例を示す半導体圧力センサの要部製造工程断面図である。

【0027】ここで、図1(a)、図1(b)、図3、図1(d)、図4、図1(e)は第1の実施例と同様である。この第2の実施例においては、厚い半導体基板101を使用して、数多くのウエハを処理する場合、薄肉部105を形成すると、空隙部103が深く形成されるので、前記空隙部105を埋めた多結晶シリコン106を異方性プラズマエッチングしようとする装置が枚葉式のために非常に時間がかかる。それかといって、公知の選択ウエットエッチングを用いると、多結晶シリコン106のサイド部分もエッチングしてしまうので、場合によってはダイアフラムの隔壁がなくなってしまう恐れがあることがわかる。このような状況に鑑みて、本発明の製造工程を順を追って以下に説明する。

【0028】(1) 図1(a)及び図1(b)、図3は共通の工程であり、ここでは説明を省略する。

(2) 次に、図8(a)に示すように、シリコン酸化膜102を設けた後、多結晶シリコン106を空隙部の深さの1/3程度設けてから表面を酸化させ、シリコン酸化膜201を設ける。再度、同じことを所定の回数繰り返す、最後に、多結晶シリコン106を設ける。

【0029】(3) 次に、図1(d)及び図4から図2(a)は共通の工程であり、ここでは説明を省略する。

(4) 次に、図8(b)に示すように、公知の多結晶シリコンの選択ウエットエッチング技術により、シリコン酸化膜の開口部の多結晶シリコンを所定の時間エッチングし、シリコン酸化膜201を露出させる。次に、前記ウエットエッチングにより露出した多結晶シリコン106の表面を、公知の技術により酸化して、半導体酸化膜202を形成する。これは前記ウエットエッチングにより露出したサイド部分のエッチングが進行していくのを防止するためである。前記開口部より公知のプラズマエッチングにより、シリコン酸化膜に開口部を設ける。

【0030】同様に、所定の回数積層させた多結晶シリコン106の層数だけ前述の工程を繰り返す行い、最後の1層の多結晶シリコンを残し、シリコン酸化膜に開口部を設けた状態にする。

(5) 次に、図8(c)に示すように、図2(c)と同様に公知の異方性プラズマエッチングにより、多結晶シリコンをシリコン酸化膜104が露出するまでエッチングし、個別ダイアフラム109を形成する。

【0031】このように、多結晶シリコン106の多くは、ウエットエッチングにより除去し、下層の多結晶シリコン106をシリコン酸化膜104が露出するまで異方性プラズマエッチングにより除去する。また、本発明はダイアフラムが一行に形成されている例を挙げているが、二列以上でも本発明が適用できるのは言うまでもない。

【0032】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0033】

【発明の効果】以上、詳細に説明したように、本発明によれば、

(1) 予め設けようとする複数のダイアフラムを一行に並べて一つの細長い形にアルカリエッチングして、ダイアフラム部となる連続した薄肉部を形成し、アルカリエッチングにより露出したシリコン上にシリコン酸化膜を形成する。

【0034】(2) アルカリエッチングによりできた空隙を多結晶シリコンで埋め、シリコン基板が露出するまで研磨し、露出したシリコン酸化膜に合わせて感圧抵抗層を形成する。

(3) 感圧抵抗層に合わせて個別ダイアフラムのホトリソを行い、プラズマエッチングにて多結晶シリコンの隔壁を持った構造の個別ダイアフラムを形成する。

【0035】上記のように構成したので、第1の発明では、以下の効果を奏することができる。

(a) 一つのチップに小型で複数のシリコン単結晶ダイアフラムができるので、感度の高い感圧抵抗が形成でき

る。

(b) 同様に、クリープ特性のない小型ダイアフラムが形成できる。

【0036】(c) レーザー加工の必要がなく、ダイアフラム間に機械的応力に強い隔壁ができる。

(d) 通常のウエハプロセスで複数の小型ダイアフラムが形成できる。

(e) ダイアフラムの周縁部の基台が多結晶シリコンなので、温度によりダイアフラムにかかる応力が少なくて済む。

【0037】また、第2の発明では、上述のことに加えて、更に、

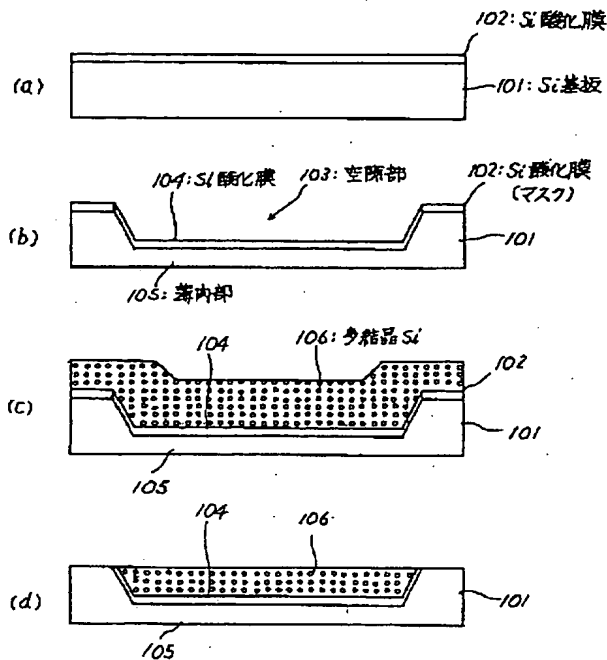
(1) 空隙部を埋める多結晶シリコン層をシリコン酸化膜の間に介在させる。

(2) 空隙部を埋めた多結晶シリコン層をエッチングする際に、選択ウエットエッチングを用いた。

(3) 選択ウエットエッチングを行った際に露出したサイドの多結晶シリコンを酸化させることにより、次の選択ウエットエッチングの際にサイド部分のエッチングが進行するのを防ぐようにしたので、(a) より深い空隙部であっても、ウエットエッチングを用いることにより、一度に多くのウエハを処理することが可能となり、結果として工程の短縮となる。

【図面の簡単な説明】

【図1】



【図1】本発明の第1の実施例を示す半導体圧力センサの製造工程断面図（その1）である。

【図2】本発明の第1の実施例を示す半導体圧力センサの製造工程断面図（その2）である。

【図3】本発明の図1の(b)工程の上面図である。

【図4】本発明の図1の(d)工程の上面図である。

【図5】本発明の図2の(c)工程の上面図である。

【図6】従来のダイアフラムを有する半導体圧力センサの製造工程断面図（その1）である。

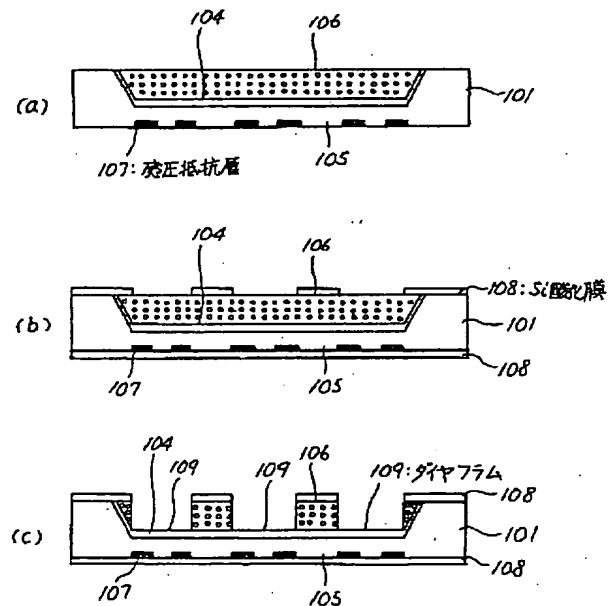
10 【図7】従来のダイアフラムを有する半導体圧力センサの製造工程断面図（その2）である。

【図8】本発明の第2の実施例を示す半導体圧力センサの要部製造工程断面図である。

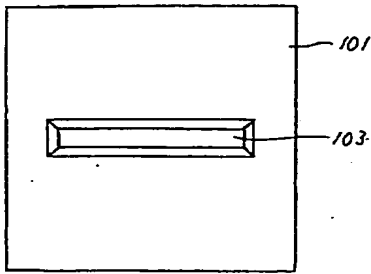
【符号の説明】

101	N又はP型のシリコン半導体基板
102	シリコン酸化膜 (SiO ₂) (マスク)
103	空隙部
104, 201	シリコン酸化膜
105	薄肉部
106	多結晶シリコン層
107	P型領域 (感圧抵抗層)
108	CVDシリコン酸化膜
109	ダイアフラム
202	半導体酸化膜

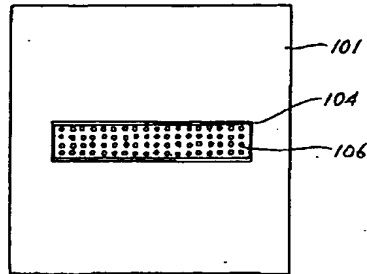
【図2】



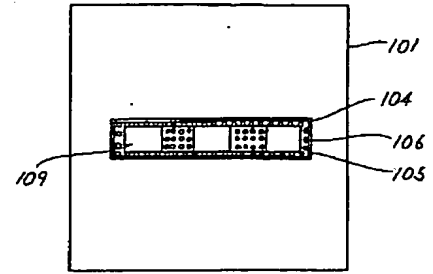
【図3】



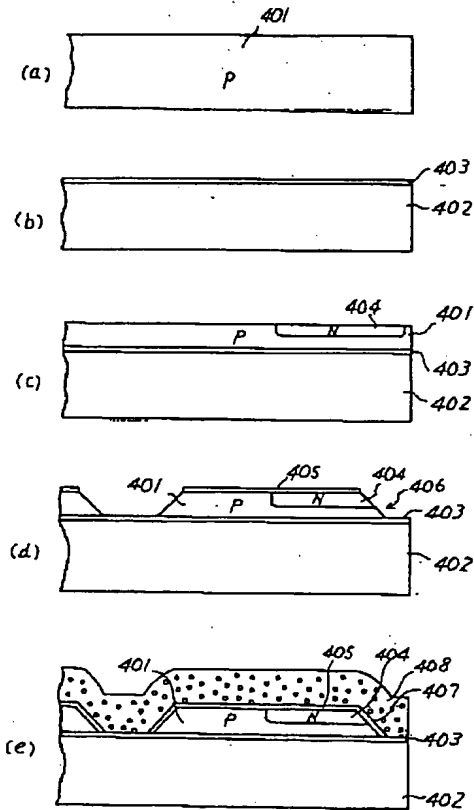
【図4】



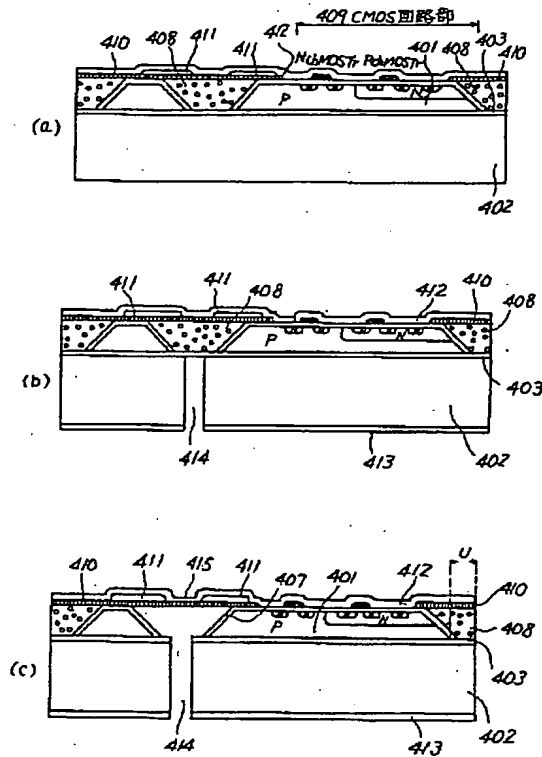
【図5】



【図6】



【図7】



【図8】

